



Národní konference s mezinárodní účastí
INŽENÝRSKÁ MECHANIKA 2002

13. – 16. 5. 2002, Svatka, Česká republika

**TROJFÁZOVÁ PULSNÍ ŠÍRKOVÁ MODULACE POMOCÍ
MIKROPROCESORU INTEL 87C196KR**

Bohumil Klíma¹

ABSTRAKT : Článek popisuje možnosti použití mikroprocesoru Intel 87C196KR pro řízení střídavých elektrických pohonů. Zmiňovaný typ mikroprocesoru je vybaven celou řadou vstupních a výstupních periférií, z nichž velkou část lze využít pro řízení el. pohonů. Jednou z klíčových záležitostí při řízení střídavých pohonů je tvorba pulsní šírkové modulace (PWM), tedy generování signálů pro řízení troj – fázového střídače. V článku je popsána realizace PWM s využitím periferie zmiňovaného mikroprocesoru nazývané „pole procesorů událostí“ označované jako EPA (Event Processor Array). Tato problematika byla řešena jako část projektu CEZ J22/98: 26 22 000 10

Klíčová slova: Mikroprocesor, pulsní šírková modulace

1. VLASTNOSTI MIKROPROCESORU INTEL 87C196KR

Mikroprocesor Intel 87C196KR je jedním z členů rodiny 16 – bitových mikroprocesorů řady označované MCS96. Tyto jsou vyráběny v několika modifikacích lišících se zejména v rozsahu vybavení různými vstupními a výstupními perifériemi a rozsahem paměťových prostorů na chipu procesoru. Mikroprocesor 87C196KR je vyráběn v pouzdře PLCC68. Na chipu obsahuje 512 bytů paměti RAM, 256 bytů CODE RAM a 16 Kb OTPROM. Program může být řízen pomocí 16 ti zdrojů přerušení jež mohou volat uživatelem definované funkce obsluhy přerušení nebo mohou být obslouženy pomocí PTS (Peripheral Transaction Server) což jsou výrobcem vytvořené podprogramy pro rychlé přesuny v paměti pro jejichž řízení je nutné definovat v programu pouze blok dat který je parametrem těchto funkcí. Procesor je dále vybaven osmikanálovým A/D převodníkem 8 nebo 10 bitovým, sedmi komunikačními I/O portů, dvěma časovači/čítači, dvěma synchronními a jedním asynchronním sériovým portem a 16ti bitovou multiplexovanou adresovou a datovou sběrnici a pak zařízením nazývaným EPA, které bude podrobněji zmíněno dále.

¹ Ing. Bohumil Klíma Ústav výkonové elektrotechniky a elektroniky, FEI VUT BRNO
e-mail: klima@feec.vutbr.cz

2. POLE PROCESORŮ UDÁLOSTÍ EPA A ČASOVAČE / ČÍTAČE

Nyní se zmíníme podrobněji o perifériích použitých ke tvorbě PWM. Pole procesorů událostí EPA je vstupní a výstupní zařízení, kterým lze generovat (komparační mód – compare mode) nebo přijímat a zpracovávat (zachytávací mód - capture mode) hrany na odpovídajících pinech procesoru ve spolupráci s některým z čítačů (může se jednat o nástupnou, sestupnou nebo libovolnou hranu a z hlediska programu se o nich hovoří jako o událostech).

Kanálů EPA je v procesoru obsaženo celkem deset které mohou pracovat ve komparačním i zachytávacím módu – EPA0 .. EPA9. Další dva mohou pracovat pouze v komparačním módu – COMP0, COMP1 a používají společné piny s EPA8 a 9 (pracují vždy v remap módu viz. dále). Obsluhovat lze jimi deset pinů, přičemž osm těchto kanálů lze nastavit tak, aby dva kanály obsluhovali jeden společný pin – pracovali v remap módu: EPA0 – EPA1, EPA2 – EPA3, EPA8 – COMP0, EPA9 – COMP1. Funkční schéma je na obr1.

Součástí každého kanálu jsou dva registry v paměti RAM – řídicí a časový. Pomocí řídicího registru lze konfigurovat funkci každého kanálu a jsou nazývány EPAX_CON (COMPx_CON). (x = 0-9) kde jednotlivé bity mají následující význam:

bit	Funkce																																	
15..9	pouze EPA 1 a 3 – jsou vyhrazeny procesorem a obvykle se nastavují na 0																																	
8	pouze EPA 1 a 3 – 0/1 remap mód zakázán/povolen																																	
7	výběr referenčního časovače 0/1 timer1/timer2																																	
6	povolení komparačního módu 0/1 capture/compare																																	
5,4	výběr módu <table style="margin-left: 20px;"> <tr> <td>5</td> <td>4</td> <td></td> </tr> <tr> <td colspan="3">záchytný mód</td> </tr> <tr> <td>0</td> <td>0</td> <td>nic nezachytává</td> </tr> <tr> <td>0</td> <td>1</td> <td>zachytává sestupnou hranu</td> </tr> <tr> <td>1</td> <td>0</td> <td>zachytává nástupnou hranu</td> </tr> <tr> <td>1</td> <td>1</td> <td>zachytává obě hrany</td> </tr> <tr> <td colspan="3">komparační mód</td> </tr> <tr> <td>0</td> <td>0</td> <td>negeneruje žádný výstup</td> </tr> <tr> <td>0</td> <td>1</td> <td>generuje sestupnou hranu</td> </tr> <tr> <td>1</td> <td>0</td> <td>generuje nástupnou hranu</td> </tr> <tr> <td>1</td> <td>1</td> <td>mění stav pinu(generuje sestupnou nebo nástupnou hranu)</td> </tr> </table>	5	4		záchytný mód			0	0	nic nezachytává	0	1	zachytává sestupnou hranu	1	0	zachytává nástupnou hranu	1	1	zachytává obě hrany	komparační mód			0	0	negeneruje žádný výstup	0	1	generuje sestupnou hranu	1	0	generuje nástupnou hranu	1	1	mění stav pinu(generuje sestupnou nebo nástupnou hranu)
5	4																																	
záchytný mód																																		
0	0	nic nezachytává																																
0	1	zachytává sestupnou hranu																																
1	0	zachytává nástupnou hranu																																
1	1	zachytává obě hrany																																
komparační mód																																		
0	0	negeneruje žádný výstup																																
0	1	generuje sestupnou hranu																																
1	0	generuje nástupnou hranu																																
1	1	mění stav pinu(generuje sestupnou nebo nástupnou hranu)																																
3	opětovné povolení – 0/1 po uskutečnění jedné komparace je EPA zakázáno/komparace je stále povolena																																	
2	AD převod – na základě události spustí AD převod podle nastavení v řídicím registru ad převodníku																																	
1	reset referenčního/protilehlého časovače <table style="margin-left: 20px;"> <tr> <td colspan="2">záchytný mód</td> </tr> <tr> <td>0</td> <td>žádná akce</td> </tr> <tr> <td>1</td> <td>reset protilehlého časovače</td> </tr> <tr> <td colspan="2">komparační mód (souvisí s nastavením bitu 0)</td> </tr> <tr> <td>0</td> <td>reset referenčního</td> </tr> <tr> <td>1</td> <td>reset protilehlého časovače</td> </tr> </table>	záchytný mód		0	žádná akce	1	reset protilehlého časovače	komparační mód (souvisí s nastavením bitu 0)		0	reset referenčního	1	reset protilehlého časovače																					
záchytný mód																																		
0	žádná akce																																	
1	reset protilehlého časovače																																	
komparační mód (souvisí s nastavením bitu 0)																																		
0	reset referenčního																																	
1	reset protilehlého časovače																																	
0	záchytný mód – přepis nepřečtených dat v EPAX_TIME při další události <table style="margin-left: 20px;"> <tr> <td>0</td> <td>ignorovat nová data</td> </tr> </table>	0	ignorovat nová data																															
0	ignorovat nová data																																	

1	přepsat stará data
komparační mód – povolení resetu časovače	
0	reset zakázán
1	reset časovače vybraného bitem 1 povolen

Funkce 16-ti bitového časového registru záleží na nastaveném módu kanálu EPA:

- v zachytávacím módu je v registru ukládán údaj časovače zvoleného řídicím registrem v okamžiku zachycení zvolené události na vstupním pinu.
- v komparačním módu časový registr obsahuje údaj, který v okamžiku shody s údajem ve zvoleném časovači generuje na výstupním pinu požadovanou událost.

Každé zpracování události rovněž generuje požadavek na přerušení která lze zpracovávat pomocí funkcí obsluhy přerušení nebo pro tuto řadu procesorů typickým PTS (Peripheral Transaction Server – umožňuje rychlé přesuny v paměti pomocí speciální rutin implementovaných v procesoru).

Procesor obsahuje rovněž dva 16-ti bitové čítače/časovače, ke každému patří dva piny jako volitelné externí zdroje signálu (CLK a DIR) a dva registry.

Registr TIMER1 / TIMER2 je hodnotou čítače časovače na kterou se může odkazovat EPA.

Registr T1_CONTROL / T2_CONTROL určuje funkci čítače/časovače:

bit	funkce				
7	povolení (spuštění časovače)				
6	0/1 čítání nahoru/dolů				
5..3	výběr zdroje hodin a směru čítání				
	5	4	3	zdroj hodin	zdroj směru
	0	0	0	$F_{osc}/4$ (interní)	bit6 (interní)
	X	0	1	CLK pin (externí)	bit6
	0	1	0	$F_{osc}/4$	DIR pin (externí)
	0	1	1	CLK pin	DIR pin
	1	1	1	qudrature clocking	
2..0	dělitel hodin				
	0	0	0	nedělit	
	0	0	1	dělit 2	
				...4,8,16,32,64	
	1	1	1	rezervované nastavení	

3. POUŽITÍ EPA PRO TROJ-FÁZOVOU PWM

Požadavkem při tvorbě PWM bylo vytvoření tří signálů pro řízení jednotlivých větví střídače. Tyto signály jsou pak dále zpracovávány externími logickými obvody sestavenými z hradel a klopných obvodů typu D, kde se vytváří invertované signály pro horní (příp. dolní) skupinu tranzistorů a povelu k sepnutí tranzistoru jsou dále zpoždovány o *ochranou dobu* (dead time) potřebnou k bezpečnému vypnutí tranzistoru. Časová základna pro PWM je vytvořena jedním kanálem EPA v komparačním módu a jedním časovačem následovně:

EPA2 má za úkol pouze resetovat TIMER1 v okamžiku kdy dosáhne registr TIMER1 hodnoty uložené v registru EPA2_TIME a případně vyvolat přerušení, jež spouští vzorkování a výpočet regulační smyčky. Hodnota uložená v registru EPA2_TIME

určuje dobu trvání jednoho modulačního cyklu, při načítání maximální rychlostí (dělitel je 1). Frekvence oscilátoru je 16 MHz, a jsme schopni načítat čtvrtinovou frekvenci, tedy 4 MHz. Požadované rozlišení volíme 10bitů, nastavená hodnota v registru EPA2_TIME je 1024. Z tohoto vyplývá i výstupní frekvence modulátoru jež je přibližně 3,9 kHz.

Bereme – li hodnotu v registru TIMER1 jako signál, má tvar pily s lineárně narůstající nástupnou hranou a strmou sestupnou hranou.

Pro vytvoření výstupních signálů PWM pak použijeme 6 dalších kanálů EPA rovněž v komparačním módu, tak že vždy dva ovládají jeden společný pin, tedy následující dvojice EPA0 – EPA1, EPA8 – COMP0, EPA9 – COMP1. Jeden z této dvojice je pak nastaven pro nastavování pinu do logické jedničky (generuje nástupnou hranu), druhý do logické nuly (generuje sestupnou hranu). Všechny mají nastaven jako referenční čítač časovou základnu, tedy TIMER1.

Do časových registrů jednotlivých kanálů jsou pak ukládány časy sepnutí a vypnutí jednotlivých fází dle následujícího rozpisu:

$$\begin{array}{ll} T_{Aon} \rightarrow \text{EPA0_TIME} & T_{Aoff} \rightarrow \text{EPA1_TIME} \\ T_{Bon} \rightarrow \text{EPA8_TIME} & T_{Boff} \rightarrow \text{COMP0_TIME} \\ T_{Con} \rightarrow \text{EPA9_TIME} & T_{Coff} \rightarrow \text{COMP1_TIME} \end{array}$$

Průběh spínacích signálů v jednotlivých větvích během jednoho modulačního cyklu je na obr. 1. Doba

modulačního cyklu T_S je čas uložený v registru EPA2_TIME. Signály S_A , S_B a S_C jsou příkladem spínacích signálů v jednotlivých větvích střídače. Požadujeme – li symetrickou trojfázovou modulaci, čas zapnutí a vypnutí tranzistorů ve větvi je symetrický podle naznačené osy symetrie která je umístěna v polovině doby modulačního cyklu. Je – li požadováno nulové fázové napětí, střída v dané fázi musí být 0,5 – k sepnutí tedy dochází v době $T_S/4$ a k vypnutí v době $3*T_S/4$.

Algoritmus regulační smyčky nám dává na výstupu zpětné Clarkovy transformace požadavky na napětí U_A , U_B a U_C v rozsahu $-511 \div +511$ (pro 10 ti – bitové rozlišení) a algoritmus pro aktualizaci zapínacích a vypínacích časů modulátoru ve fázi A může být následovný:

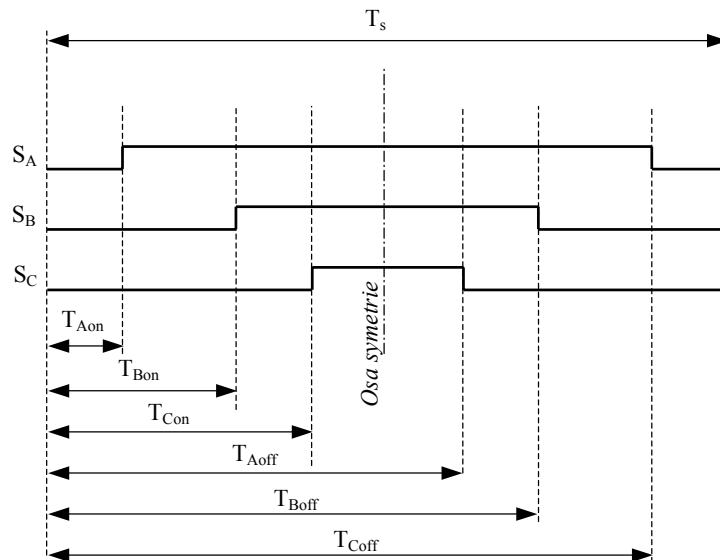
$$\begin{array}{l} T_{Aon} = T_S/4 - U_A/2 \\ T_{Aoff} = 3*T_S/4 + U_A/2 \end{array}$$

Nicméně dělení napětového požadavku dvěma nám ruší jeden bit v rozlišení, ale tomu lze předejít následující jednoduchou úpravou:

$$\begin{array}{l} T_{Aon} = T_S/4 - U_A/2 \\ T_{Aoff} = 3*T_S/4 + (U_A + \text{sign}(U_A)*1)/2 \end{array}$$

Pokud je požadovaná hodnota napětí liché číslo, tak po vydělení dvěma ztrácí informaci o posledním bitu. Přičtením resp. odečtením jedničky v případě kladného resp. záporného požadovaného napětí dodáme např. do času vypnutí po vydělení informaci o posledním bitu.

Toto řešení do maximální míry využívá parametry procesoru Intel 87C196KR pro realizaci modulátoru.



Obr.1 Průběh spínacích signálů ve trojfázovém modulátoru při symetrické pulsní šířkové modulaci

4. ZÁVĚR

Tento modulátor byl realizován a odzkoušen pro řízení synchronního motoru s permanentními magnety, kde tímtož procesorem byla dále realizována regulace momentu a rychlosti. Realizované parametry jsou:
 Nosná frekvence modulátoru 4kHz při rozlišení PWM 10 bitů.
 Vzorkovací frekvence proudové regulační smyčky 500 us.

5. LITERATURA

- [1] 8XC196Kx, 8XC196Jx, 87C196CA Microcontroller Family User's Manual
- [2] Brandštetter P., Střídavé regulační pohony - Moderní způsoby řízení, Ostrava 1999
- [3] Klíma B., Langr Z., Řídicí jednotka bez kartáčových záložních leteckých generátorů, Sborník XXVII.Celostátní konference o elektrických pohonech, 2001